

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Takeshi WATANABE, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR MEMORY INCLUDING STATIC RANDOM ACCESS MEMORY FORMED OF
FINFET

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):
Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-375851	November 5, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. _____ filed _____
- ☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and
- ☐ (B) Application Serial No.(s)
☐ are submitted herewith
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

C. Irvin McClelland
Registration Number 21,124

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 1 月 5 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 3 7 5 8 5 1
Application Number:

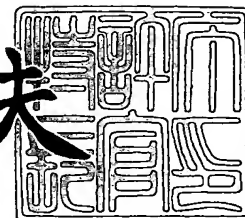
[ST. 10/C] : [J P 2 0 0 3 - 3 7 5 8 5 1]

出 願 人 株 式 会 社 東 芝
Applicant(s):

2 0 0 4 年 2 月 1 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願
【整理番号】 A000304269
【提出日】 平成15年11月 5日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 27/00
H01L 29/00

【発明者】
【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所
内
【氏名】 渡辺 健

【発明者】
【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所
内
【氏名】 石丸 一成

【特許出願人】
【識別番号】 000003078
【氏名又は名称】 株式会社 東芝

【代理人】
【識別番号】 100058479
【弁理士】
【氏名又は名称】 鈴江 武彦
【電話番号】 03-3502-3181

【選任した代理人】
【識別番号】 100091351
【弁理士】
【氏名又は名称】 河野 哲

【選任した代理人】
【識別番号】 100088683
【弁理士】
【氏名又は名称】 中村 誠

【選任した代理人】
【識別番号】 100108855
【弁理士】
【氏名又は名称】 蔵田 昌俊

【選任した代理人】
【識別番号】 100084618
【弁理士】
【氏名又は名称】 村松 貞男

【選任した代理人】
【識別番号】 100092196
【弁理士】
【氏名又は名称】 橋本 良郎

【手数料の表示】
【予納台帳番号】 011567
【納付金額】 21,000円

【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

第 1 の配線をゲートに持ち、基準電位が供給された基準電極に電流通路の一端が接続された第 1、第 2 の電界効果トランジスタと、

第 2 の配線をゲートに持ち、前記基準電極に電流通路の一端が接続された第 3、第 4 の電界効果トランジスタと、

第 1 のワード線をゲートに持ち、前記第 1、第 2 の電界効果トランジスタの前記電流通路の他端に、電流通路の一端が接続された第 5 の電界効果トランジスタと、

第 2 のワード線をゲートに持ち、前記第 3、第 4 の電界効果トランジスタの前記電流通路の他端に、電流通路の一端が接続された第 6 の電界効果トランジスタと、

を具備することを特徴とする半導体記憶装置。

【請求項 2】

第 1 の配線をゲートに持ち、基準電位が供給された第 1 の基準電極に電流通路の一端が接続された第 1、第 2 の電界効果トランジスタと、

第 2 の配線をゲートに持ち、前記基準電位が供給された第 2 の基準電極に電流通路の一端が接続された第 3、第 4 の電界効果トランジスタと、

第 1 のワード線をゲートに持ち、前記第 1、第 2 の電界効果トランジスタの前記電流通路の他端に、電流通路の一端が接続された第 5 の電界効果トランジスタと、

第 2 のワード線をゲートに持ち、前記第 3、第 4 の電界効果トランジスタの前記電流通路の他端に、電流通路の一端が接続された第 6 の電界効果トランジスタとを具備し、

前記第 1、第 2、及び第 5 の電界効果トランジスタと、前記第 3、第 4、及び第 6 の電界効果トランジスタとは、前記第 5 の電界効果トランジスタと前記第 6 の電界効果トランジスタとの間の中心点を基準として、点対称に配置されていることを特徴とする半導体記憶装置。

【請求項 3】

基準電位が供給された基準電極に電流通路の一端が接続された複数の電界効果トランジスタを含むドライブトランジスタ群と、

ワード線をゲートに持ち、前記ドライブトランジスタ群が含む電界効果トランジスタの前記電流通路の他端に電流通路の一端が接続され、前記ドライブトランジスタ群が含む電界効果トランジスタの数より少ない数の電界効果トランジスタを含むトランスファゲートトランジスタ群と、

を具備することを特徴とする半導体記憶装置。

【請求項 4】

前記第 1、第 2 の電界効果トランジスタの前記電流通路は、前記第 5 の電界効果トランジスタの前記電流通路の前記一端と前記基準電極との間に並列接続されており、前記第 3、第 4 の電界効果トランジスタの前記電流通路は、前記第 6 の電界効果トランジスタの前記電流通路の前記一端と前記基準電極との間に並列接続されていることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 5】

前記第 1、第 2 の電界効果トランジスタの前記電流通路は、前記第 5 の電界効果トランジスタの前記電流通路の前記一端と前記第 1 の基準電極との間に並列接続されており、前記第 3、第 4 の電界効果トランジスタの前記電流通路は、前記第 6 の電界効果トランジスタの前記電流通路の前記一端と前記第 2 の基準電極との間に並列接続されていることを特徴とする請求項 2 に記載の半導体記憶装置。

【書類名】明細書**【発明の名称】半導体記憶装置****【技術分野】****【0001】**

この発明は、半導体記憶装置に関し、特にフィン型MISFETで構成されたスタティックランダムアクセスメモリ（以下、SRAMと記す）に関するものである。

【背景技術】**【0002】**

通常、SRAMのメモリセル（以下、SRAMセルと記す）を設計する際には、ドライブトランジスタよりもトランスファゲートトランジスタの素子抵抗を高くすることで良好なデータ保持特性を確保する。具体的には、トランスファゲートトランジスタよりもドライブトランジスタのチャンネル長（L）を短く、チャンネル幅（W）を太くすることで解決している。

【0003】

ところで近年、新構造のトランジスタとして、3次元構造のMIS型電界効果トランジスタ（以下、MISFETと記す）の一種であるフィン型MISFETが注目されている。このフィン型MISFETは以下のような構造を有している。

【0004】

SOI(silicon on insulator)基板の単結晶シリコン層を短冊状に細く加工して、半導体領域である突起状領域（以下、フィン層という）を形成する。このフィン層上にゲート電極を立体交差させ、前記フィン層をチャンネルとする（例えば、特許文献1参照）。

【0005】

現在、このフィン型MISFETで構成されたSRAMが提案されている（例えば、非特許文献1参照）。図6は、フィン型MISFETで構成されたSRAMセルのレイアウト図であり、図7は前記SRAMセルを複数配列したSRAMのセルアレイのレイアウト図である。図6に示すように、SRAMセル100は6個のトランジスタから構成された6トランジスタ型のSRAMセルである。すなわち、2個のドライブトランジスタ101、102、2個のトランスファゲートトランジスタ103、104、及び2個のロードトランジスタ105、106を有している。

【特許文献1】特開平2-263473号公報

【非特許文献1】E. J. Nowak et al., "A Functional FinFET-DGCMOS SRAM Cell", IEDM 2002 Technical Digest, pp411-414

【発明の開示】**【発明が解決しようとする課題】****【0006】**

しかしながら、フィン型MISFETのチャンネル幅（W）はフィン層の高さで決まるため、トランジスタごとにチャンネル幅（W）を換えることはプロセス上困難である。したがって、フィン型MISFETで構成されたSRAMでは、良好なデータ保持特性を得られにくいという問題がある。

【0007】

そこでこの発明は、前記課題に鑑みてなされたものであり、フィン型MISFETで構成された半導体記憶装置において、良好なデータ保持特性を有する半導体記憶装置を提供することを目的とする。

【課題を解決するための手段】**【0008】**

前記目的を達成するために、この発明の一実施形態の半導体記憶装置は、第1の配線をゲートに持ち、基準電位が供給された基準電極に電流通路の一端が接続された第1、第2の電界効果トランジスタと、第2の配線をゲートに持ち、前記基準電極に電流通路の一端が接続された第3、第4の電界効果トランジスタと、第1のワード線をゲートに持ち、前記第1、第2の電界効果トランジスタの前記電流通路の他端に、電流通路の一端が接続さ

れた第5の電界効果トランジスタと、第2のワード線をゲートに持ち、前記第3、第4の電界効果トランジスタの前記電流通路の他端に、電流通路の一端が接続された第6の電界効果トランジスタとを具備することを特徴とする。

【発明の効果】

【0009】

この発明によれば、フィン型MISFETで構成された半導体記憶装置において、良好なデータ保持特性を有する半導体記憶装置を提供することが可能である。

【発明を実施するための最良の形態】

【0010】

以下、図面を参照してこの発明の実施形態について説明する。説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0011】

〔第1の実施形態〕

まず、この発明の第1の実施形態のSRAMを含む半導体記憶装置について説明する。図1は、第1の実施形態のSRAMセルの構成を示すレイアウト図である。図2は、前記SRAMセルの回路図を示している。

【0012】

SRAMセル11内には、図1に示すように、4個のドライブトランジスタDR1、DR2、DR3、DR4、2個のトランスファゲートトランジスタTR1、TR2、及びロードトランジスタLO1、LO2が配置されている。SRAMセル11は、SRAMにおける1個のメモリセルであり、1ビットのデータを記憶する基本構成を示す。

【0013】

まず、前記ドライブトランジスタDR1～DR4の詳細な構成を以下に述べる。図1に示すように、活性領域（素子領域）A1、A2が離隔して平行に形成されている。活性領域A1、A2は、突起状のシリコン層（フィン層）から形成されており、後述する活性領域もすべてフィン層から形成されている。活性領域A1、A2上には、これら活性領域A1、A2に直交するように、ゲート電極G1、G2が離隔して平行に形成されている。ゲート電極G1、G2の下活性領域A1、A2にはチャネル領域が形成され、このチャネル領域を挟む両側の活性領域A1、A2にはソースとドレインがそれぞれ形成されている。

【0014】

このような構造により、活性領域A1とゲート電極G1との交点にはドライブトランジスタDR1が形成され、活性領域A1とゲート電極G2との交点にはドライブトランジスタDR2が形成されている。同様に、活性領域A2とゲート電極G1との交点にはドライブトランジスタDR3が形成され、活性領域A2とゲート電極G2との交点にはドライブトランジスタDR4が形成されている。

【0015】

前記活性領域A1、A2には、これらに電氣的に接続された活性領域A3が直交するように形成されている。この活性領域A3の一端上にはコンタクトC1が形成されており、コンタクトC1には基準電位V_{SS}が供給されている。また、活性領域A1、A2の一端上にはコンタクトC2が形成され、活性領域A1、A2の他端上にはコンタクトC3が形成されている。

【0016】

次に、前記トランスファゲートトランジスタTR1、TR2の詳細な構成を以下に述べる。図1に示すように、活性領域A1、A2と直交するように、活性領域A4、A5が形成されている。活性領域A4上には、この活性領域A4に直交するように、ゲート電極G3が形成されている。活性領域A5上には、この活性領域A5に直交するようにゲート電極G4が形成されている。ゲート電極G3、G4の下活性領域にはチャネル領域が形成され、このチャネル領域を挟む両側の活性領域にはソースとドレインがそれぞれ形成されている。

【0017】

このような構造により、活性領域A4とゲート電極G3との交点にはトランスファゲートトランジスタTR1が形成され、活性領域A5とゲート電極G4との交点にはトランスファゲートトランジスタTR2が形成されている。

【0018】

前記活性領域A4の一端はコンタクトC2に接続され、活性領域A4の他端上にはコンタクトC4が形成されている。このコンタクトC4にはビット線BLが接続されている。活性領域A5の一端はコンタクトC3に接続され、活性領域A5の他端上にはコンタクトC5が形成されている。このコンタクトC5にはビット線／BLが接続されている。また、ゲート電極G3の一端上にはコンタクトC6が形成されており、ゲート電極G4の一端上にはコンタクトC7が形成されている。コンタクトC6、C7には、ワード線WLが接続されている。

【0019】

次に、前記ロードトランジスタLO1、LO2の詳細な構成を以下に述べる。図1に示すように、活性領域A1、A2と平行に、活性領域A6が形成されている。活性領域A6上には、この活性領域A6に直交するように、前記ゲート電極G1、G2が延伸して配置されている。ゲート電極G1、G2の下活性領域A6にはチャンネル領域が形成され、このチャンネル領域を挟む両側の活性領域A6にはソースとドレインがそれぞれ形成されている。

【0020】

このような構成により、活性領域A6とゲート電極G1との交点にはロードトランジスタLO1が形成され、活性領域A6とゲート電極G2との交点にはロードトランジスタLO2が形成されている。

【0021】

前記活性領域A6の一端上にはコンタクトC8が形成されており、活性領域A6の他端上にはコンタクトC9が形成されている。活性領域A6には、この活性領域A6に電氣的に接続された活性領域A7が直交するように形成されている。活性領域A7の一端上にはコンタクトC10が形成されており、このコンタクトC10には電源電圧V_{dd}が供給されている。さらに、ゲート電極G1、G2の中央付近には、コンタクトC11、C12が形成されている。

【0022】

図1中に破線で示した配線12は、コンタクトC2とコンタクトC8、コンタクトC12とを接続し、配線13はコンタクトC3とコンタクトC9、コンタクトC11とを接続する。

【0023】

以下に、SRAMセルの接続関係を詳述しておく。

【0024】

ドライブトランジスタDR1、DR2は、第1のゲート配線をゲートとして共通に持ち、基準電位V_{ss}が供給された基準電極に、それらの電流通路の一端が接続されている。ドライブトランジスタDR3、DR4は、第2のゲート配線をゲートとして共通に持ち、基準電位V_{ss}が供給された基準電極に、それらの電流通路の一端が接続されている。

【0025】

トランスファゲートトランジスタTR1は、第1のワード線をゲートとして持ち、ドライブトランジスタDR1、DR2の前記電流通路の他端に、その電流通路の一端が接続されている。トランスファゲートトランジスタTR2は、第2のワード線をゲートとして持ち、ドライブトランジスタDR3、DR4の前記電流通路の他端に、その電流通路の一端が接続されている。

【0026】

詳述すると、前記ドライブトランジスタDR1、DR2の前記電流通路は、トランスファゲートトランジスタTR1の前記電流通路の一端と前記基準電極との間に並列接続され

ており、ドライブトランジスタDR3、DR4の前記電流通路は、トランスファゲートトランジスタTR2の前記電流通路の一端と前記基準電極との間に並列接続されている。

【0027】

ロードトランジスタLO1は、前記第1のゲート配線をゲートとして持ち、その電流通路の一端は、電源電圧が供給された電源電極に接続されている。ロードトランジスタLO2は、前記第2のゲート配線をゲートとして持ち、その電流通路の一端は、電源電圧が供給された電源電極に接続されている。

【0028】

前記ドライブトランジスタDR1、DR2の前記電流通路の他端は、ロードトランジスタLO1の前記電流通路の他端に接続され、ドライブトランジスタDR3、DR4の前記電流通路の他端は、ロードトランジスタLO2の前記電流通路の他端に接続されている。

【0029】

さらに、前記ドライブトランジスタDR1、DR2、及びロードトランジスタLO1のゲートは、ドライブトランジスタDR3、DR4の前記電流通路の他端に接続されている。ドライブトランジスタDR3、DR4、及びロードトランジスタLO2のゲートは、ロードトランジスタLO1の前記電流通路の他端に接続されている。

【0030】

この第1の実施形態のSRAMセルでは、図6に示した6トランジスタ型のSRAMセルにおける1個のドライブトランジスタに対し、2個のドライブトランジスタが並列に追加された構造になっている。フィン型MISFETでは、突起状のシリコン層からなるフィン層（素子領域）が一定の高さで形成されるため、チャネル幅が固定されてしまう。チャネル幅が固定された1個のフィン型MISFETから構成されたドライブトランジスタに対して、2個のフィン型MISFETを並列に接続することにより、ドライブトランジスタの実効的なチャネル幅を2倍にしている。これにより、1個のトランジスタのトランスファゲートトランジスタに比べて、ドライブトランジスタの素子抵抗を $1/2$ にすることができる。この結果、 β レシオは2となり、良好なデータ保持特性を得ることができる。なおここでは、トランスファゲートトランジスタの数に対するドライブトランジスタの数の比率を2とした、すなわち1個のトランスファゲートトランジスタに対して2個のドライブトランジスタを配置したが、この比率は2に限らず、2以上であれば良く、例えば3または4であっても良い。

【0031】

図3は、前記SRAMセルを集積化したセルアレイの構成を示すレイアウト図である。図1に示したSRAMセルが、図3に示すように行列状に複数配列されて、SRAMのセルアレイが構成されている。

【0032】

〔第2の実施形態〕

次に、この発明の第2の実施形態のSRAMを含む半導体記憶装置について説明する。前記第1の実施形態における構成と同様の部分には同じ符号を付してその説明は省略し、以下に異なる構成部分のみを説明する。

【0033】

図4は、第2の実施形態のSRAMセルの構成を示すレイアウト図である。このSRAMセル21は、8個のトランジスタがSRAMセル21の中心点Cに対して、点対称に配置されたものである。SRAMセル21の回路図は、図2に示した第1の実施形態と同様である。

【0034】

SRAMセル21内には、ドライブトランジスタDR1、DR2、トランスファゲートトランジスタTR1、及びロードトランジスタLO1の4個のトランジスタが配置されている。さらに、SRAMセル21内には、SRAMセルの中心点CNを基準として、前記ドライブトランジスタDR1、DR2、トランスファゲートトランジスタTR1、及びロードトランジスタLO1に対し、ドライブトランジスタDR3、DR4、トランスファゲ

ートトランジスタTR2、及びロードトランジスタLO2が点対象に配置されている。

【0035】

まず、前記ドライブトランジスタDR1、DR2の詳細な構成を以下に述べる。図4に示すように、活性領域A11、A12が離隔して平行に形成されている。活性領域A11、A12は、フィン層から形成されており、後述する活性領域もすべてフィン層から形成されている。活性領域A11、A12上には、これら活性領域A11、A12に直交するようにゲート電極G11が形成されている。ゲート電極G11の下活性領域A11、A12にはチャネル領域が形成され、このチャネル領域を挟む両側の活性領域A11、A12にはソースとドレインがそれぞれ形成されている。

【0036】

このような構造により、活性領域A11とゲート電極G11との交点にはドライブトランジスタDR1が形成され、活性領域A12とゲート電極G12との交点にはドライブトランジスタDR2が形成されている。

【0037】

前記活性領域A11、A12の一端上にはコンタクトC21が形成され、活性領域A11の中央部上、及び活性領域A12の他端上にはコンタクトC22が形成されている。さらに、コンタクトC21には、基準電位Vssが供給されている。

【0038】

次に、前記トランスファゲートトランジスタTR1の詳細な構成を以下に述べる。図4に示すように、活性領域A11が延伸して形成されている。活性領域A11上には、この活性領域A11に直交するように、ゲート電極G12が形成されている。ゲート電極G12の下活性領域A11にはチャネル領域が形成され、このチャネル領域を挟む両側の活性領域A11にはソースとドレインがそれぞれ形成されている。

【0039】

このような構造により、活性領域A11とゲート電極G12との交点にはトランスファゲートトランジスタTR1が形成されている。

【0040】

前記活性領域A11の他端上にはコンタクトC23が形成されている。このコンタクトC23にはビット線/BLが接続されている。また、ゲート電極G12の一端上にはコンタクトC24が形成されている。このコンタクトC24には、ワード線WLが接続されている。

【0041】

次に、前記ロードトランジスタLO1の詳細な構成を以下に述べる。図4に示すように、活性領域A1、A2と平行に、活性領域A13が形成されている。活性領域A13上には、この活性領域A13に直交するように、前記ゲート電極G11が延伸して配置されている。ゲート電極G11の下活性領域A13にはチャネル領域が形成され、このチャネル領域を挟む両側の活性領域A13にはソースとドレインがそれぞれ形成されている。

【0042】

このような構成により、活性領域A13とゲート電極G11との交点にはロードトランジスタLO1が形成されている。

【0043】

前記活性領域A13の一端上にはコンタクトC25が形成されており、このコンタクトC25には電源電圧Vddが供給されている。さらに、活性領域A13の他端上にはコンタクトC26が形成されている。

【0044】

さらに、SRAMセル21内には、SRAMセルの中心点CNを基準として、前記ドライブトランジスタDR1、DR2、トランスファゲートトランジスタTR1、及びロードトランジスタLO1に対し、ドライブトランジスタDR3、DR4、トランスファゲートトランジスタTR2、及びロードトランジスタLO2が点対象に配置されている。また、図4中に破線で示した配線22は、コンタクトC22とコンタクトC26を接続する。

【0045】

このように構成された第2の実施形態のSRAMセルでは、前記第1の実施形態と同様に、ドライブトランジスタを、並列接続された2個のフィン型MISFETで構成することにより、ドライブトランジスタの実効的なチャネル幅を2倍にしている。これにより、1個のトランジスタで構成されたトランスファゲートトランジスタに比べて、ドライブトランジスタの素子抵抗を $1/2$ にすることができる。この結果、 β レシオは2となり、良好なデータ保持特性を得ることができる。なおここでも、トランスファゲートトランジスタの数に対するドライブトランジスタの数の比率は2に限らず、2以上であれば良く、例えば3または4であっても良い。また、この第2の実施形態のSRAMセルは、前記第1の実施形態のSRAMセルに比べて小さい面積で形成することができるため、高集積化に適している。

【0046】

図5は、前記SRAMセルを集積化したセルアレイの構成を示すレイアウト図である。図4に示したSRAMセルが、図5に示すように行列状に複数配列されて、SRAMのセルアレイが構成されている。

【0047】

また、前述した各実施形態はそれぞれ、単独で実施できるばかりでなく、適宜組み合わせて実施することも可能である。さらに、前述した各実施形態には種々の段階の発明が含まれており、各実施形態において開示した複数の構成要件の適宜な組み合わせにより、種々の段階の発明を抽出することも可能である。

【図面の簡単な説明】

【0048】

【図1】この発明の第1の実施形態のSRAMセルの構成を示すレイアウト図である。

【図2】前記第1の実施形態のSRAMセルの回路図である。

【図3】前記第1の実施形態のSRAMセルを集積化したセルアレイのレイアウト図である。

【図4】この発明の第2の実施形態のSRAMセルの構成を示すレイアウト図である。

【図5】前記第2の実施形態のSRAMセルを集積化したセルアレイのレイアウト図である。

【図6】フィン型MISFETで構成された従来のSRAMセルの構成を示すレイアウト図である。

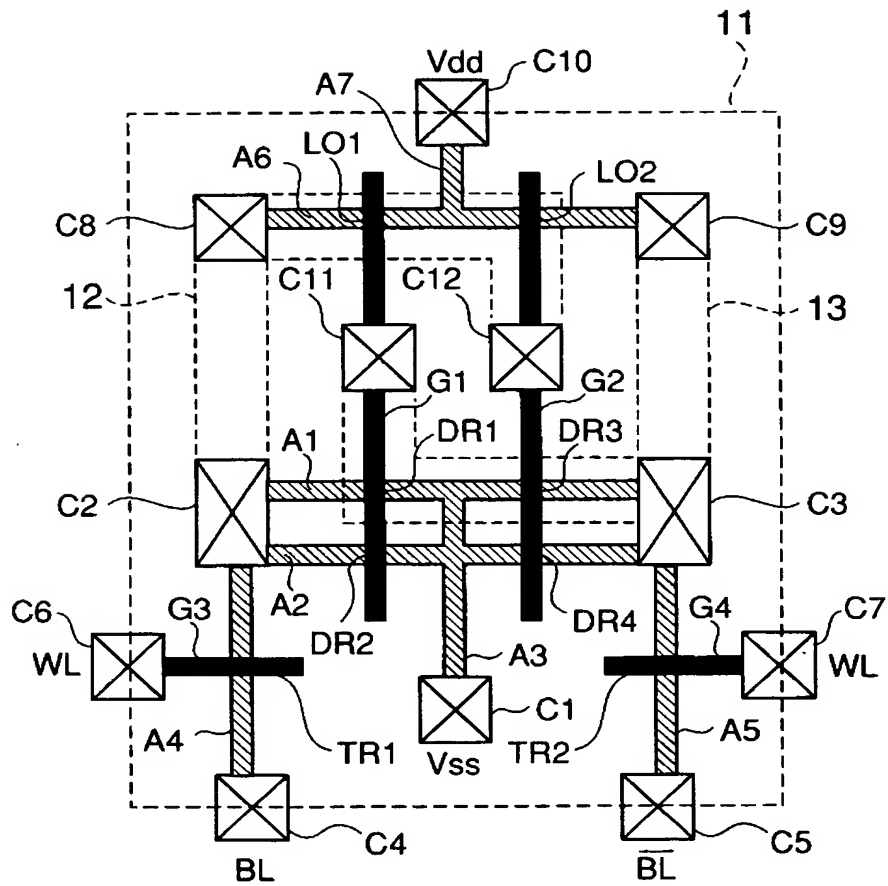
【図7】フィン型MISFETで構成された従来の前記SRAMセルを集積化したセルアレイのレイアウト図である。

【符号の説明】

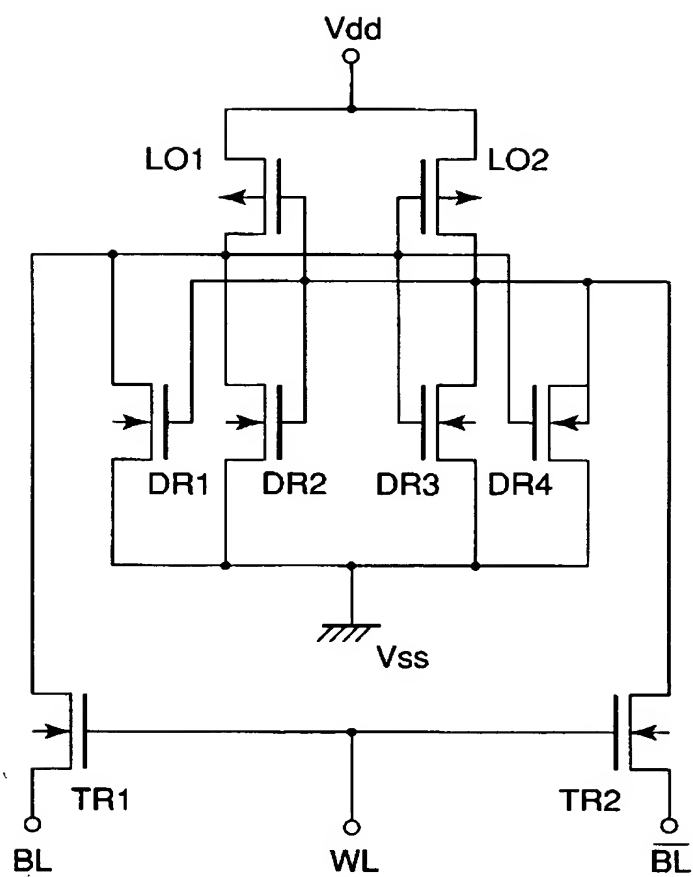
【0049】

11、21、100…SRAMセル、DR1、DR2、DR3、DR4、101、102…ドライブトランジスタ、TR1、TR2、105、106…トランスファゲートトランジスタ、LO1、LO2…ロードトランジスタ、A1、A2、A3、A4、A5、A6、A7、A11、A12、A13…活性領域（素子領域）、G1、G2、G3、G4、G11、G12…ゲート電極、C1、C2、C3、C4、C5、C6、C7、C8、C9、C10、C11、C12、C21、C22、C23、C24、C25、C26…コンタクト、12、13、22、23…配線、Vss…基準電位、BL、/BL…ビット線、WL…ワード線、Vdd…電源電圧、CN…中心点。

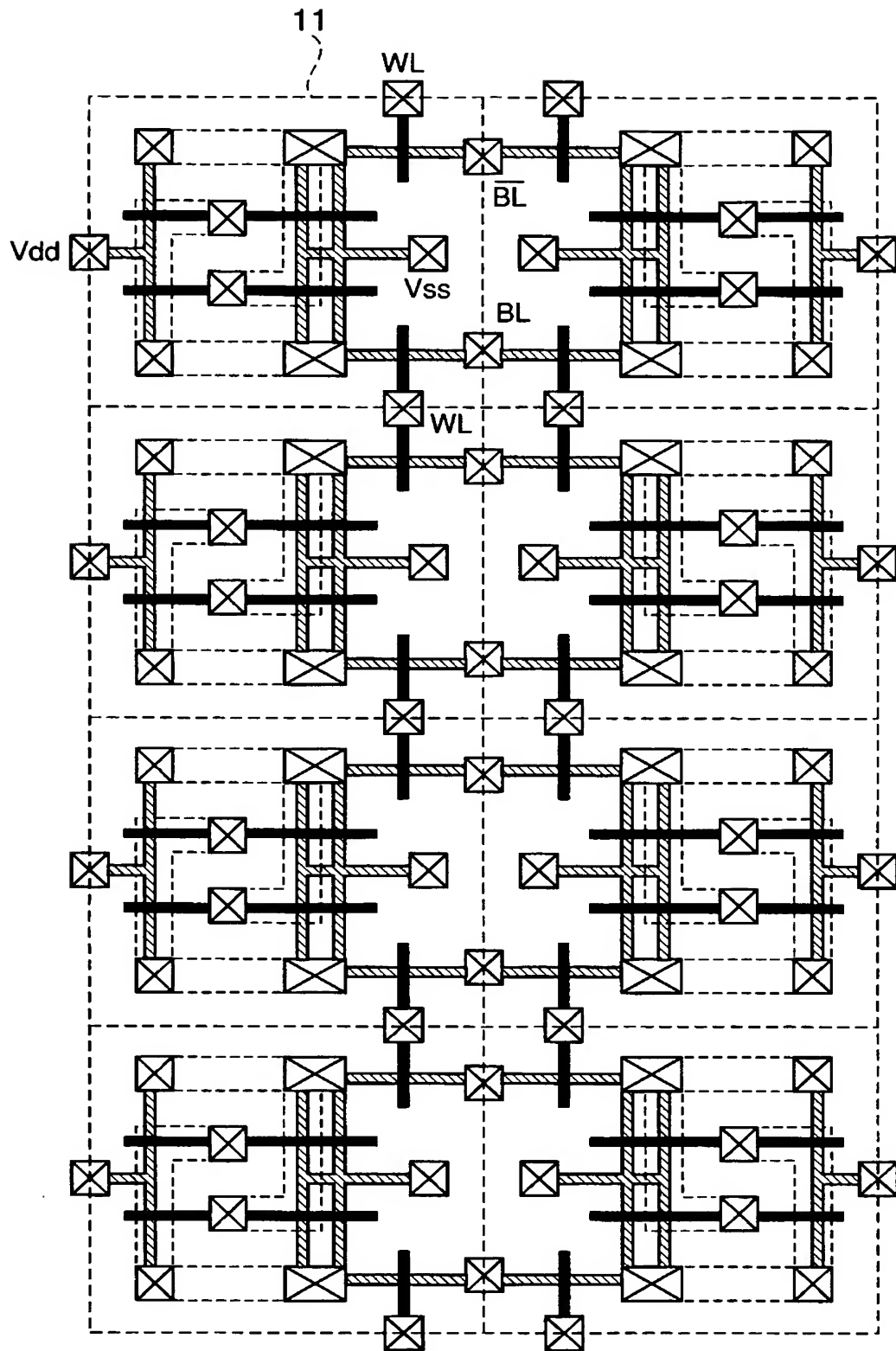
【書類名】 図面
【図 1】



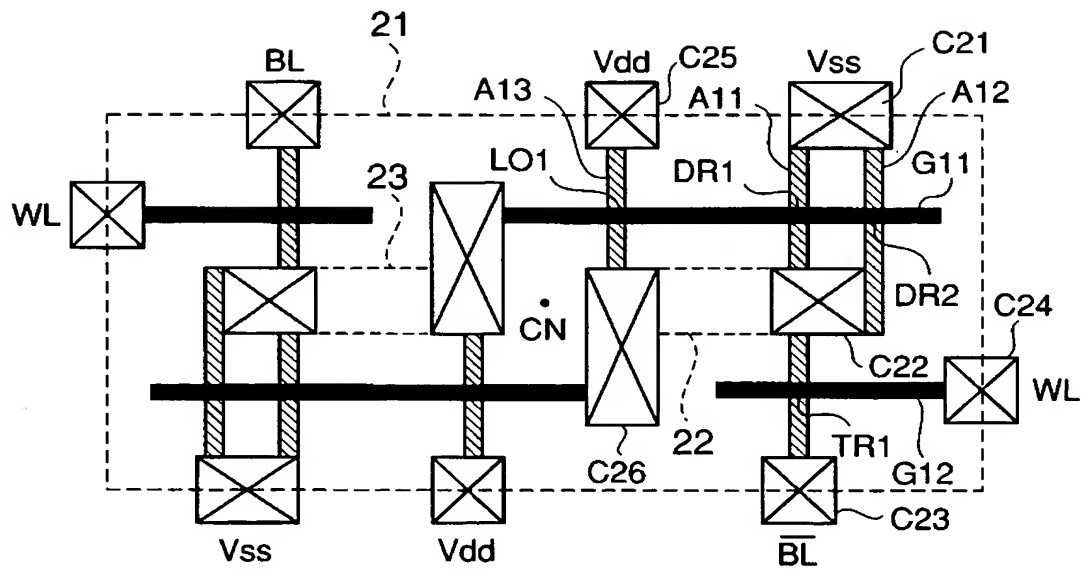
【図 2】



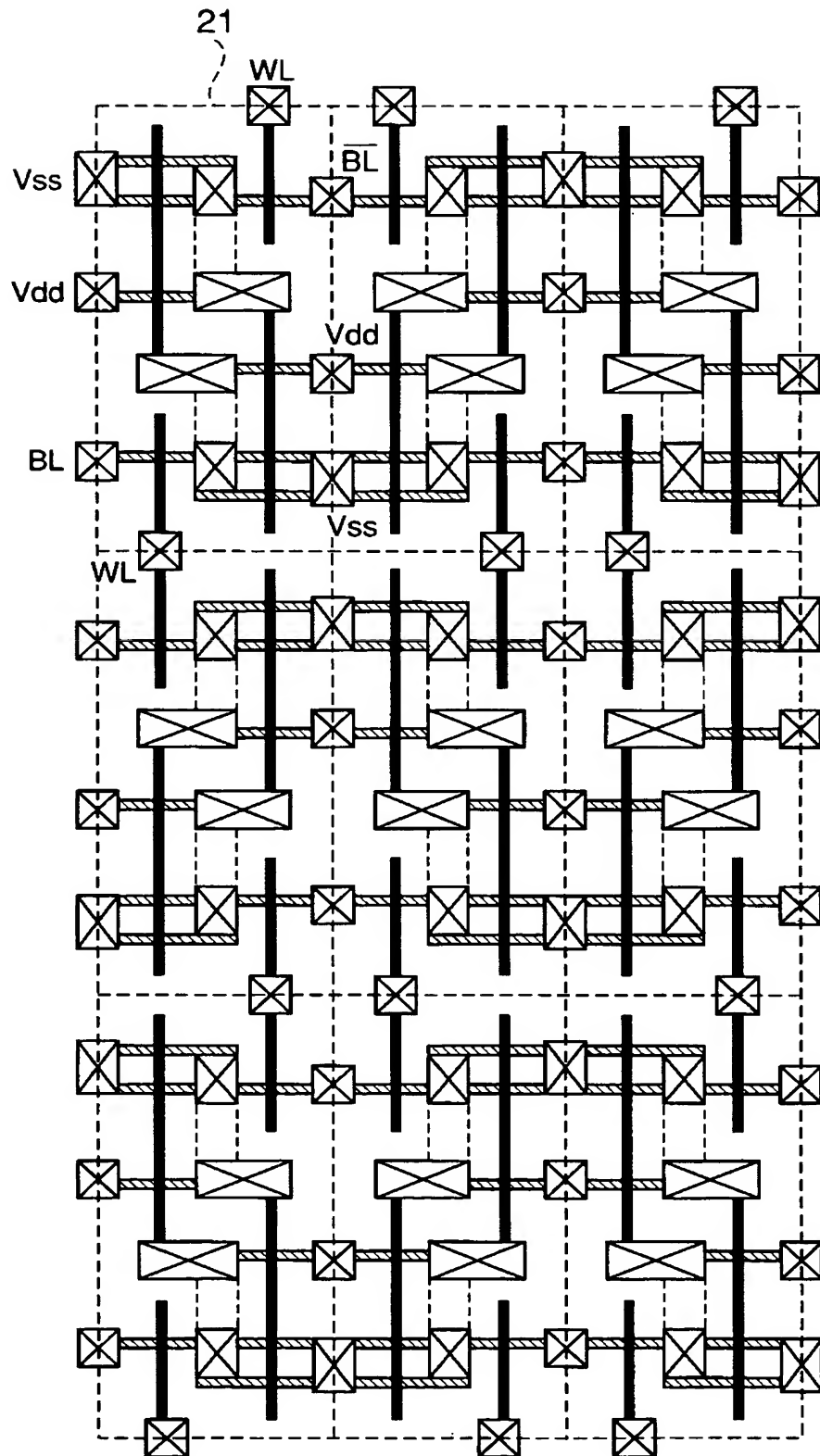
【図 3】



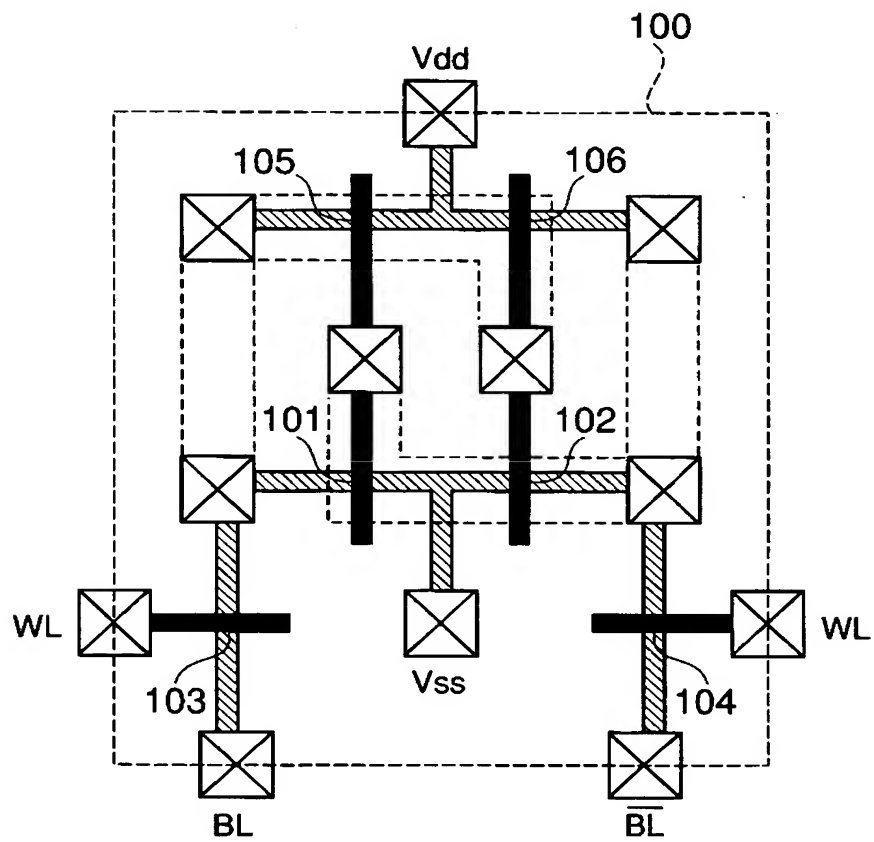
【図 4】



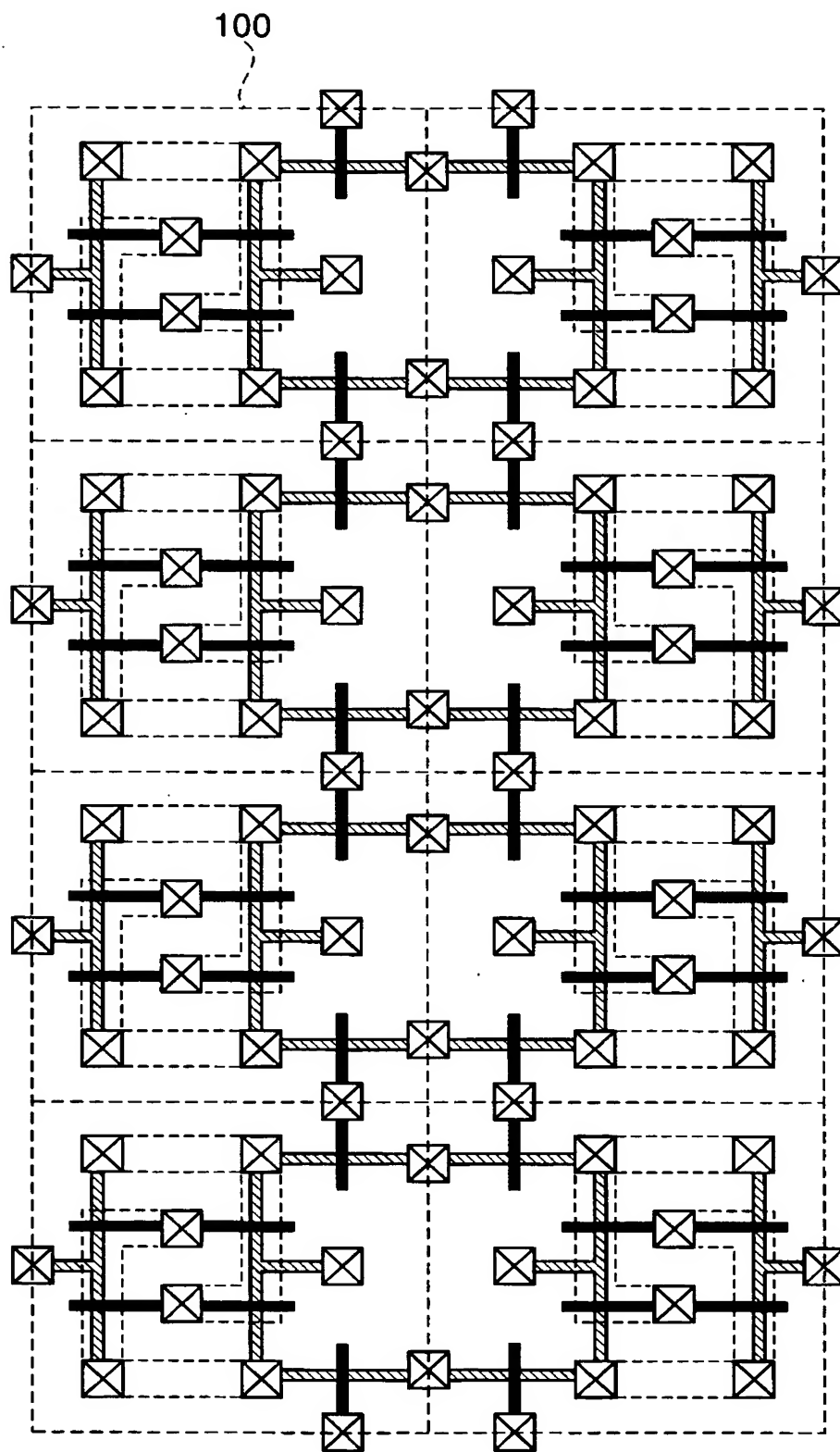
【図 5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 良好なデータ保持特性を有する半導体記憶装置を提供する。

【解決手段】 ゲート電極 G 1 を持ち、基準電位 V_{ss} が供給されたコンタクト C 1 に電流通路の一端が接続されたドライブトランジスタ D R 1、D R 2 と、ゲート電極 G 2 を持ち、コンタクト C 1 に電流通路の一端が接続されたドライブトランジスタ D R 3、D R 4 と、第 1 のワード線 W L をゲート電極 G 3 として持ち、ドライブトランジスタ D R 1、D R 2 の電流通路の他端に、電流通路の一端が接続されたトランスファゲートトランジスタ T R 1 と、第 2 のワード線 W L をゲート電極 G 4 として持ち、ドライブトランジスタ D R 3、D R 4 の電流通路の他端に、電流通路の一端が接続されたトランスファゲートトランジスタ T R 2 とから構成されている。

【選択図】 図 1

特願 2 0 0 3 - 3 7 5 8 5 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 3 0 7 8]

1. 変更年月日	2 0 0 1 年 7 月 2 日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目 1 番 1 号
氏 名	株式会社東芝